

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68444

(P2000-68444A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. ⁷	識別記号	F I	テーム(参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z 4 M 1 0 5
25/07		21/60	3 1 1 S
25/18			
21/60	3 1 1		

審査請求 未請求 請求項の数8 O L (全 5 頁)

(21) 出願番号 特願平10-240235

(22) 出願日 平成10年8月26日 (1998.8.26)

(71) 出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 富田 至洋

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外1名)

Fターム(参考) 4M105 AA03 BB11 CC03 CC16 CC50

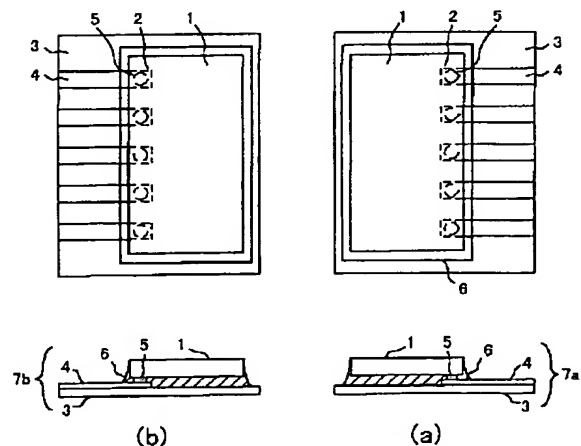
FF01 CC03

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 低コストで小型化したスタック実装を得る。

【解決手段】 フレキシブル基板のリード線に半導体素子の電極を接続して結合し、実装基板上にこれを複数個スタックして、各フレキシブル基板のリード線を実装基板の配線に電氣的に接続する。これを実装基板またはパッケージ基板に樹脂封止する。



1 半導体素子
2 半導体素子電極
3 フレキシブル基板
4 リード線
5 接続部
6 封止剤
7a, 7b 半導体素子構造単位

【特許請求の範囲】

【請求項1】 主面に電極を形成した半導体素子と、主面にリード線を形成したフレキシブル基板とを、上記電極と上記リード線とを対向させ電氣的接続をして半導体素子構造単位を形成し、この半導体素子構造単位を主面に配線を有する実装基板上に複数積層して結合し、上記各フレキシブル基板のリード線を上記実装基板の配線に接近させて電氣的接続をしたことを特徴とする半導体装置。

【請求項2】 主面に電極を形成した半導体素子と、主面にリード線を形成したフレキシブル基板とを、上記電極と上記リード線とを対向させ電氣的接続をして半導体素子構造単位を形成し、この半導体素子構造単位を外部端子と接続された配線を主面に有するパッケージ基板上に複数積層して結合し、上記各フレキシブル基板のリード線を上記実装基板の配線に接近させて電氣的接続をし、上記積層された複数の半導体素子構造を上記パッケージ基板に封止したことを特徴とする半導体装置。

【請求項3】 上記半導体素子の電極をその半導体素子の一側に配列したことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 上記複数の半導体素子構造単位を同一形状に形成したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 主面に電極を形成した複数の半導体素子と、上記複数の半導体素子に対応して主面に複数組のリード線を形成したフレキシブル基板とを、上記各半導体素子の電極と上記各組のリード線とを対向させ電氣的接続をしてそれぞれ半導体素子構造単位を形成し、主面に配線を有する実装基板上で上記フレキシブル基板を屈曲させて上記複数の半導体素子構造単位を積層して結合し、上記フレキシブル基板の上記複数組のリード線を上記実装基板の配線に接近させて電氣的接続をしたことを特徴とする半導体装置。

【請求項6】 主面に電極を形成した複数の半導体素子と、上記複数の半導体素子に対応して主面に複数組のリード線を形成したフレキシブル基板とを、上記各半導体素子の電極と上記各組のリード線とを対向させ電氣的接続をしてそれぞれ半導体素子構造単位を形成し、外部端子と接続された配線を主面に有するパッケージ基板上で上記フレキシブル基板を屈曲させて上記複数の半導体素子構造単位を積層して結合し、上記フレキシブル基板の上記複数組のリード線を上記実装基板の配線に接近させて電氣的接続をし、上記積層された複数の半導体素子構造を上記パッケージ基板に樹脂封止したことを特徴とする半導体装置。

【請求項7】 上記半導体素子の電極をその半導体素子の一側に配列したことを特徴とする請求項5または6に記載の半導体装置。

【請求項8】 隣り合う半導体素子構造単位を上記フレ

キシブル基板上に対称的に配置したことを特徴とする請求項5～7のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子をスタック実装した半導体装置に関するものである。

【0002】

【従来の技術】図6は、従来のスタック実装構造の半導体装置の1例であり、図6において、13a、13bはTSOPパッケージであり、実装基板14上で、それぞれ外部リード4a、4bを介して、接合部12a、12bにて実装基板14に搭載・接続されている。

【0003】

【発明が解決しようとする課題】このような従来の半導体装置においては、特にTSOPパッケージ13a、13bはそれぞれ異なった長さの外部リード4a、4bをもって構成するため、曲げ加工のための金型が別に必要で、かつ異なった外形を持つためのソケット、トレイなどの周辺部品が必要となるため、コストが高かった。

【0004】また、このような従来のスタック実装構造では、パッケージの両側、または4方向から導出したリードを重ね合わせて実装するために、実装が困難で上／下のパッケージの設計を変更する必要があるなど、低価格化が困難であった。この発明は、このような従来の課題を解決するためになされたもので、低コストで小型化されたスタック実装の半導体装置を提供しようとするものである。

【0005】

【課題を解決するための手段】この発明の請求項1による半導体装置は、主面に電極を形成した半導体素子と、主面にリード線を形成したフレキシブル基板とを、上記電極と上記リード線とを対向させ電氣的接続をして半導体素子構造単位を形成し、この半導体素子構造単位を主面に配線を有する実装基板上に複数積層して結合し、上記各フレキシブル基板のリード線を上記実装基板の配線に接近させて電氣的接続をしたことを特徴とするものである。

【0006】請求項2による半導体装置は、主面に電極を形成した半導体素子と、主面にリード線を形成したフレキシブル基板とを、上記電極と上記リード線とを対向させ電氣的接続をして半導体素子構造単位を形成し、この半導体素子構造単位を外部端子と接続された配線を主面に有するパッケージ基板上に複数積層して結合し、上記各フレキシブル基板のリード線を上記実装基板の配線に接近させて電氣的接続をし、上記積層された複数の半導体素子構造を上記パッケージ基板に封止したことを特徴とするものである。

【0007】請求項3による半導体装置は、請求項1または2に記載の半導体装置において、上記半導体素子の電極をその半導体素子の一側に配列したことを特徴とす

るものである。

【0008】請求項4による半導体装置は、請求項1～3のいずれかに記載の半導体装置において、上記複数の半導体素子構造単位を同一形状に形成したことを特徴とするものである。

【0009】請求項5による半導体装置は、主面に電極を形成した複数の半導体素子と、上記複数の半導体素子に対応して主面に複数組のリード線を形成したフレキシブル基板とを、上記各半導体素子の電極と上記各組のリード線とを対向させ電氣的接続をしてそれぞれ半導体素子構造単位を形成し、主面に配線を有する実装基板上で上記フレキシブル基板を屈曲させて上記複数の半導体素子構造単位を積層して結合し、上記フレキシブル基板の上記複数組のリード線を上記実装基板の配線に接近させて電氣的接続をしたことを特徴とするものである。

【0010】請求項6による半導体装置は、主面に電極を形成した複数の半導体素子と、上記複数の半導体素子に対応して主面に複数組のリード線を形成したフレキシブル基板とを、上記各半導体素子の電極と上記各組のリード線とを対向させ電氣的接続をしてそれぞれ半導体素子構造単位を形成し、外部端子と接続された配線を主面に有するパッケージ基板上で上記フレキシブル基板を屈曲させて上記複数の半導体素子構造単位を積層して結合し、上記フレキシブル基板の上記複数組のリード線を上記実装基板の配線に接近させて電氣的接続をし、上記積層された複数の半導体素子構造を上記パッケージ基板に樹脂封止したことを特徴とするものである。

【0011】請求項7による半導体装置は、請求項5または6に記載の半導体装置において、上記半導体素子の電極をその半導体素子の一侧に配列したことを特徴とするものである。

【0012】請求項8による半導体装置は、請求項5～7のいずれかに記載の半導体装置において、隣り合う半導体素子構造単位を上記フレキシブル基板上に対称的に配置したことを特徴とするものである。

【0013】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。なお、図中、同一または相当部分には同一符号を付してその説明を簡略化または省略する。実施の形態1. 図1及び図2は、本発明の実施の形態1による半導体装置の構造を示す図である。図1(a)の上側の図は、半導体素子構造単位を半導体素子側からみた平面図であり、図1(a)の下側の図は、その側面図である。図1(b)は図1(a)と同じ半導体素子構造を図1(a)と対称的に配置した図を示す。また、図2は、半導体素子構造の単位を複数、この場合は2個、積層して形成した半導体装置の断面図を示す。

【0014】図1(a)(b)において、1は半導体素子、2は半導体素子1の主面上の一侧に配列して設けられた複数の電極である。また、3はフレキシブル基板

(テープ基板)であり、4はフレキシブル基板3上に設けられたリード線(導体)であり、半導体素子1に対してその片側に引出され、外部リードを形成する。5は接続部(バンブ)であり、半導体素子1の電極2を、フレキシブル基板3の配線4に対向させて両者を電氣的に接続する。6は封止剤であり、接続部5を封止し、かつ、半導体素子1とフレキシブル基板3とを固着する。この図1(a)又は(b)に示した構造により半導体素子構造単位7a、7bを構成する。

【0015】図2は、図1(a)及び(b)に示した半導体素子構造単位を積層して形成した半導体装置の断面図である。図2において、14は主面に配線(図示せず)が形成された実装基板、11は接着剤であり、半導体素子構造単位7aを実装基板14に接着するとともに、半導体素子構造単位7aと7bとを互いに接着する。半導体素子構造単位7a、7bは、フレキシブル基板3の主面のリード線側が実装基板14の表面に対向するように配置され、フレキシブル基板3の端部は緩やかに折り曲げられてリード線4が実装基板14の表面に近接するようにされ、リード線4と実装基板14の配線とが電氣的に接続される。

【0016】図2において、半導体素子構造単位7a、7bは、同一の構造のものをを用いることができ、かつフレキシブル基板3上にリード線を備えている。したがって、リード線の長さをそれぞれ変える曲げ加工が不要であり、かつ薄型で安価に構成できる。なお、図1において、電極2は半導体素子1の片側に並べられているが、両側/四方/エリア状に配置されても良い。また、半導体装置は、半導体素子構造単位7a、7bを2個以上の複数個積層して構成されても良く、また、全体が封止されていても良い。

【0017】実施の形態2. 図3はこの発明の実施の形態2による半導体装置の構造を示す側断面図である。図3において、7a、7bは実施の形態1で示した半導体素子構造単位、8はパッケージ基板、10はパッケージ基板8の背面に配置された外部端子、9は封止樹脂である。

【0018】半導体素子構造単位7a、7bは、実施の形態1と同様に、フレキシブル基板3の主面のリード線側がパッケージ基板8の表面に対向するように搭載・配置され、フレキシブル基板3の端部は緩やかに折り曲げられてリード線4がパッケージ基板14の表面に近接するようにされ、リード線4とパッケージ基板8の表面の配線とが電氣的に接続される。また、パッケージ基板8の表面の配線は、背面の外部端子10と接続されている。封止樹脂9は、このように搭載・接続された半導体素子構造単位7a、7bをパッケージ基板8の主面に封止する。

【0019】この実施の形態においても、半導体素子構造単位7a、7bは、同一の構造のものをを用いることが

でき、かつフレキシブル基板3上にリード線を備えている。したがって、リード線の長さをそれぞれ変える曲げ加工が不要であり、かつ薄型で安価に構成できる。また、この実施の形態の半導体装置は、半導体素子構造単位7a、7bを2個以上の複数個積層して構成してもよい。

【0020】このように、この実施の形態によれば、半導体素子構造単位7a、7bを積層して1つの小型で安価な、かつ高密度な半導体パッケージを構成することが可能である。また、封止は、リッド、ポッティング等手法に限定されず、キャン封止でもよく、また、外部端子10はリード状、ピン等形状によらない。なお、この実施の形態において、電極2は半導体素子1の片側に並べられているが、両側／四方／エリア状に配置されていてもよい。

【0021】実施の形態3. 図4及び図5は、この発明の実施の形態3による半導体装置の構造を示す図であり、図4は組立前の半導体素子構造単位の平面図、図5は組立後の半導体装置の側断面図である。図4において、3'は1つのフレキシブル基板であり、15はその

折り曲げ代、16は中抜き部である。

【0022】このようにこのフレキシブル基板3'は、長手方向に長く形成され、隣り合う半導体素子1が対角的に配置されている。フレキシブル基板3'は、隣り合う半導体素子1の中間部で中抜きにバタニングされて両側部が残され折り曲げ代15とされている。図4の中央より2分して、それぞれ両側で半導体素子構造単位7a'、7b'を構成している。

【0023】図5は、図4のフレキシブル基板3'を折り曲げ代15で折り曲げて、半導体素子構造7a'、7b'を実装基板14上に積層し、接着剤11により固着させたものである。

【0024】半導体素子構造単位7a'、7b'は、フレキシブル基板3'の主面のリード線4側が実装基板14の表面に対向するように配置され、フレキシブル基板3'の端部は緩やかに折り曲げられてリード線4が実装基板14の表面に近接するようにされ、リード線4と実装基板14の配線とが電氣的に接続される。

*

*【0025】この実施の形態では、1枚のフレキシブル基板3'に複数の半導体素子構造単位を形成し、このフレキシブル基板3'を折り曲げて半導体素子構造単位を積層し、実施の形態1で示したものと同様の構造を得ることができる。

【0026】このように、この実施の形態によれば、半導体素子構造単位7a'、7b'を積層して1つの小型で安価な、かつ高密度な半導体装置を構成することが可能である。

10 【0027】また、実施の形態2と同様に、この実施の形態3における半導体素子構造単位をパッケージ基板上に積層してスタック実装をした半導体装置を構成することができる。その方法・構造は、実施の形態2の説明から理解されるので、詳細な説明は省略する。

【0028】

【発明の効果】以上説明したように、この発明によれば、低コストで小型化されたスタック実装の半導体装置を得ることができる。

【図面の簡単な説明】

20 【図1】 この発明の実施の形態1による半導体素子構造単位の構造を示す平面図。

【図2】 この発明の実施の形態1による半導体装置の構造を示す断面図。

【図3】 この発明の実施の形態2による半導体装置の構造を示す断面図。

【図4】 この発明の実施の形態3による半導体素子構造単位の構造を示す平面図。

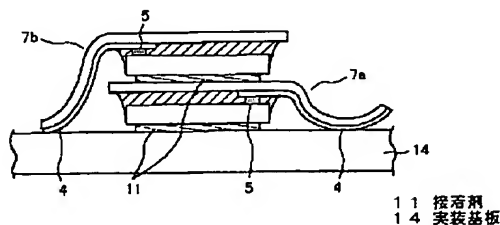
【図5】 この発明の実施の形態3による半導体装置の構造を示す断面図。

30 【図6】 従来スタック実装の半導体装置の構造を示す断面図。

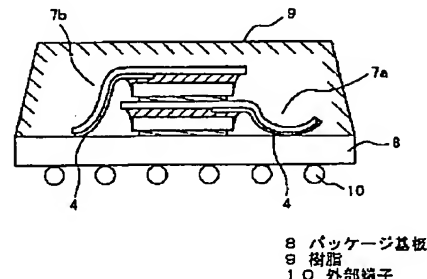
【符号の説明】

1 半導体素子、 2 半導体素子電極、 3、3' フレキシブル基板、 4 リード線、 5 接続部、 6 封止剤、 7a、7b、7a'、7b' 半導体素子構造単位、 8 パッケージ基板、 9 樹脂、 10 外部端子、 11 接着剤、 14 実装基板、 15 折り曲げ代、 16 中抜き部。

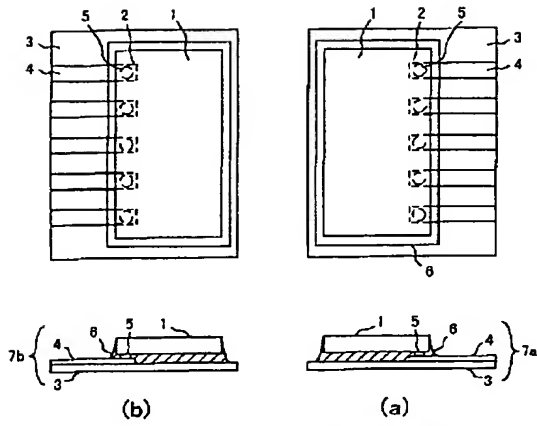
【図2】



【図3】

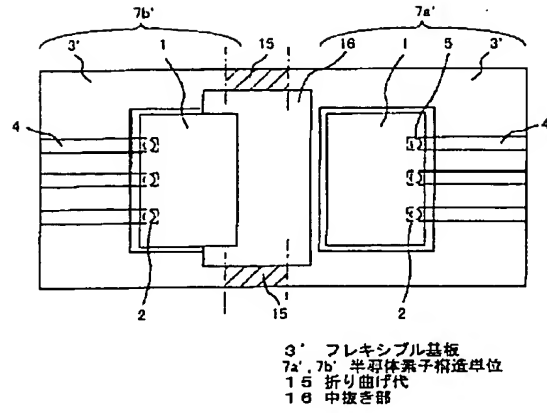


【図1】



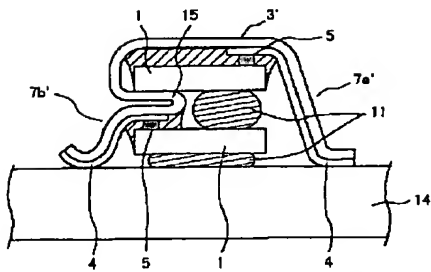
- 1 半導体素子
2 半導体素子電極
3 フレキシブル基板
4 リード線
5 接続部
6 封止剤
7a, 7b 半導体素子構造単位

【図4】



- 3' フレキシブル基板
7a', 7b' 半導体素子構造単位
15 折り曲げ部
16 中抜き部

【図5】



- 11 接合剤

【図6】

